

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—93298

⑪ Int. Cl.³
H 05 K 3/46

識別記号

庁内整理番号
6465—5F

⑬ 公開 昭和58年(1983)6月2日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 多層配線基板

⑮ 特 願 昭56—190838

⑯ 出 願 昭56(1981)11月30日

⑰ 発 明 者 吉田次江

横浜市戸塚区吉田町292番地株
式会社日立製作所生産技術研究
所内

⑱ 発 明 者 藤本一之

横浜市戸塚区吉田町292番地株
式会社日立製作所生産技術研究
所内

⑲ 発 明 者 藪下明

横浜市戸塚区吉田町292番地株
式会社日立製作所生産技術研究
所内

⑳ 発 明 者 川人道善

横浜市戸塚区吉田町292番地株
式会社日立製作所生産技術研究
所内

㉑ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5
番1号

㉒ 代 理 人 弁理士 秋本正実

明 細 書

発明の名称 多層配線基板

特許請求の範囲

1. 絶縁層および絶縁層中の開口部において接
続された絶縁層上部配線層と、絶縁層下部配線層
からなる薄膜多層配線基板において、下部導体配
線部として、主たる導体部分がAlからなり、少く
とも前記開口部において上記Al配線部をAuによつ
て被覆したことを特徴とする薄膜多層配線基板。

2. 絶縁層中の開口部がAuによつて被覆された
Al配線部を2つ以上の層に用いたことを特徴とす
る特許請求の範囲第1項記載の多層配線基板。

発明の詳細な説明

本発明は多層配線基板における配線メタライズ
構成法に関するものである。

従来実施されている薄膜多層配線基板の製造方
法を図1図および図2図により説明する。

図1図は従来の配線基板の製造工程を説明する
フローシート、図2図はその各工程における説明
用断面図である。

第1図および第2図において、A乃至Jは各工
程を示す。

先づ基板1は、一般に薄膜回路に用いられるグ
レーズセラミックス基板を洗浄後、真空蒸着、あ
るいはスパッタリング法等によりAl膜2を形成し
(A)、続いてそのAl膜上にホットプロセスによりレジ
スト膜3を形成し(B)、続いてリン酸系エッチャン
トを用いてエッチングすることによりAl配線パタ
ーンを形成し(C)、次にレジスト膜3を普通の方法
により除去し(D)、続いて(D)に示すように層間絶縁
層4を形成するが、これはポリイミド系樹脂を回
転塗布法により均一に形成し、約200℃で仮ベ
ークを行い、さらに350℃のN₂中でキュアを行
なう。次に絶縁層4上に前記同様ホットプロセス
によりレジスト膜3を形成し(E)、続いてヒドラジ
ンおよびエチレンジアミン混液よりなるエッチャ
ントで接続スルーホール6を形成し(F)、レジスト
膜を除去した後、再度ポリイミド系絶縁層4を
約350℃のN₂中でベーク処理をする。

このように基板1上にAl配線導体層2を形成し、

その上部の絶縁層 4 に接続用スルーホール 6 を設けた薄膜多層配線回路では、前処理工程 (I) に送られ、ここでスルーホール 6 内の Al 酸化被覆をスルファミン酸系エッチャントにより取除き、その後リン酸系エッチャントによりライトエッチしている。その後第 2 導体層として Al (あるいは $Ni-Cr/Al$, Cr/Cu など) 6 を前記と同様真空蒸着またはスパッタリング法で形成している (I)。

このように、従来は上部導体層 5 を設ける前に、前処理工程 (I) を設けているが、これは前記した如く、スルーホール 6 内の Al 酸化被覆 7 を取除くためであり、これを省略すると、スルーホール 6 の接続抵抗値が数 $\Omega/\text{穴}$ ~ 数 $K\Omega/\text{穴}$ と異常に高いものが生じ、製品歩留りを阻害する最大要因となっていたからである。

前記前処理工程 (I) を施すことにより、スルーホール 6 の接続抵抗値は約数 $\Omega/\text{穴}$ と大巾に減少したが、その反面、スルファミン酸系およびリン酸系エッチャントにより、Al 酸化被覆膜だけでなく Al 金属部まで除去され、スルーホール 6 内に段差

(A) 工程における Al/Au 膜形成と、(B) 工程における Au/Al 配線形成と、前処理工程 (I) が無いことだけであり、他の工程は前述の実施例と同一であるからその他の工程の説明を省略し、(A), (B) 工程についてのみ説明する。

本実施例においても、基板 1 は薄膜回路に用いられるグレーズセラミック基板 1 を洗浄後、真空蒸着あるいはスパッタリング法等の真空製膜法により Al 膜を 1μ 、その上に Au を 500\AA 形成する。このように配線導体層 2 を形成した後、レジスト膜 3 を形成し、引続き第 1 層配線パターンの形成工程 (B) では、Au のパターンニングにはヨウ素系エッチャント、Al のパターンニングにはリン酸系エッチャントを使用する。以下レジストの除去およびスルーホールの形成は従来と同様にして行い、多層配線を構成する層間絶縁膜 4 をポリイミド系樹脂を用いて形成し、その上に上層配線として新たな Al/Au (あるいは $Ni-Cr/Al$, Cr/Cu など) を前述のように形成する。以下これを繰返すことにより 2 つ以上の多層配線回路を構成する。

を生じ、上部導体層 5 の形成後に、スルーホール部での配線切れやクラックを生じ、配線強度を低下させ、製品歩留りを低下させる要因が新たに発生してきた。

本発明は、前記の如き従来技術を改善し、スルファミン酸系およびリン酸系エッチャントを用いる前処理工程を省き、しかもスルーホール部での接続抵抗値を小さくすることができる多層配線基板を提供せんとするものである。

本発明は前記の目的を達成せんがため、薄膜多層配線基板の下部導体層として、主たる導体部分が Al からなり、かつその絶縁層中の開口部を Au によつて被覆したものである。

次に第 3 図および第 4 図により本発明の一実施例を説明する。

第 3 図および第 4 図は従来例を説明した第 1 図および第 2 図に相当するフローシートおよびその工程における説明用断面図である。

第 3 図および第 4 図において、従来の実施例を説明した第 1 図および第 2 図と異なるところは、

このように構成した薄膜多層配線回路では、第 5 図に示すように Au を 500\AA 以上被覆することにより、 $60\mu\phi$ のスルーホールの接続抵抗値をすべて $0.1\Omega/\text{穴}$ 以下にすることができるとが確認された。

次表は従来法による多層配線基板と本発明による多層配線基板の具体的効果を示す比較表である。

表

		スルーホール接続抵抗値 $\Omega/\text{穴}$	接続歩留 %
従来技術	前処理なし	数 $\Omega/\text{穴}$ ~ 数 $K\Omega/\text{穴}$	30 %
	前処理あり	$0.1\Omega/\text{穴}$ ~ 数 $\Omega/\text{穴}$	80 %
実施例	Al/Au 構造	$< 0.1\Omega/\text{穴}$	95 %

この表の如く、従来技術では、スルーホール接続抵抗値が数 $\Omega/\text{穴}$ ~ 数 $K\Omega/\text{穴}$ と大きく、接続歩留りは 30 % 程度であつた。その解決策として前処理工程 (I) を施すことにより、接続抵抗値を $0.1\Omega/\text{穴}$ ~ 数 $\Omega/\text{穴}$ に減少することができ、接続

特開昭58-93298(3)

歩留りも80%まで向上させることができたが、前処理によりスルーホール内の配線層が侵食され、クラックや配線切れがあつた。これに対し本発明においては、スルーホールがAuで被覆しているので、前処理工程を省略しても接続抵抗値が、 $0.1\Omega/\text{穴}$ であり、前処理工程を省略することにより接続歩留りを95%程度まで向上させることができた。

なお、前配線間絶縁層4の上に第3導体層として新たな Al/Au （或いは $\text{Ni}-\text{Cr}/\text{Al}$ 、 Cr/Cu など）を前述のように形成し、スルーホールを設けて2層以上の多層配線回路を構成することもできる。

以上述べた如く、本発明の多層配線基板は、配線導体層上にAuを被覆させているので、スルーホール形成時に配線導体層が侵食されることがなく、前処理工程を省略しても接続抵抗値を $0.1\Omega/\text{穴}$ とすることができ、接続歩留りを大巾に向上させることができる効果がある。

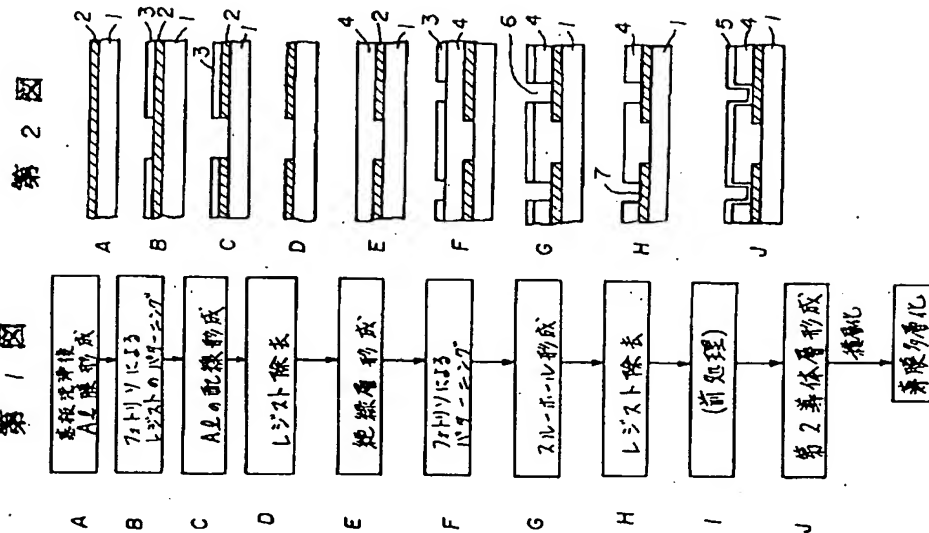
図面の簡単な説明

第1図は従来の多層配線基板の製造工程を示す

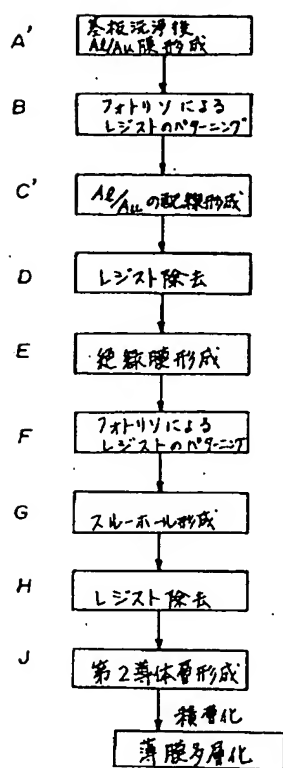
フローシート、第2図は各工程における説明用断面図、第3図は本発明の各工程を示すフローシート、第4図は各工程における説明用断面図、第5図はAu膜厚と接続抵抗値の関係を示すグラフである。

1…基板、2…配線導体層、3…レジスト膜、4…絶縁層、5…第2導体層、6…スルーホール、7…酸化被膜。

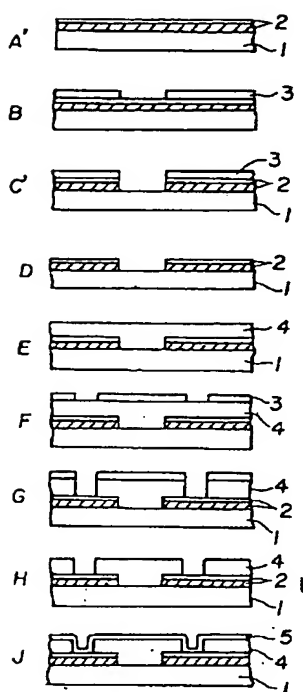
代理人 弁理士 秋 本 正 実



第 3 図



第 4 図



第 5 図

